PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-263459
(43)Date of publication of application : 11.10.1996

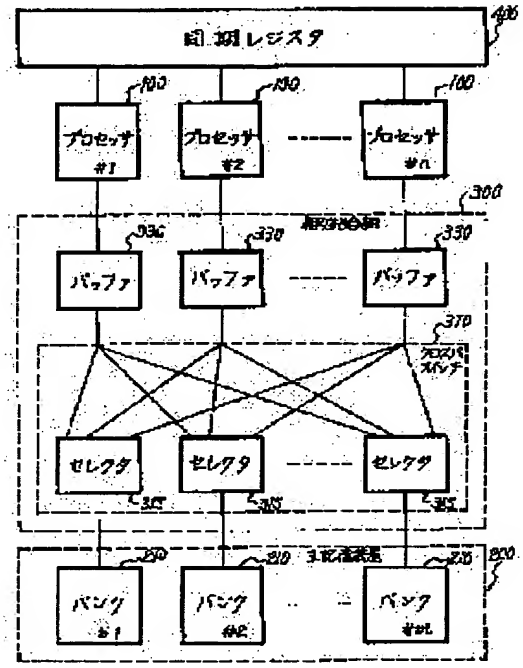
(51)Int.Cl. G06F 15/163
G06F 9/46
G06F 13/16

(21)Application number : 07-062820
(22)Date of filing : 22.03.1995

(71)Applicant : NEC CORP
(72)Inventor : ANDO NORIYUKI

(54) MULTIPROCESSOR SYSTEM

(57)Abstract:
PURPOSE: To easily confirm the state of buffers within a mutual connection network without increasing the number of signal lines by giving to respective processors a function to confirm that a transmitted request does not stay in the mutual connection network.
CONSTITUTION: A mutual connection network 300 for connecting plural processors 100 and a main storage device 200 is provided with (n) pieces of input ports corresponding to the respective processors 100 and buffers 330 for holding the requests from the respective processors 100 are connected to the respective input ports. The outputs of the buffers 330 are connected to an (n)- input/(m)-output crossbar switch 310 and connected through (m) pieces of outut parts to the respective banks of the main storage device 200. In this case, a pseudo buffer for containing the contents of the buffers 330 inside the mutual connection network 300 is provided inside respective processors 100 and all the copies of requests held in the buffer 330 are held in this pseudo buffer. Therefore, it can be confirmed that the request abolished from a pseudo buffer 110 is one which has been already issued to the main storage device 200.



LEGAL STATUS

[Date of request for examination]	22.03.1995
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2882304
[Date of registration]	05.02.1999
[Number of appeal against examiner's decision of rejection]	

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（A）**　(11)特許出願公開番号

特開平8－263459

(43)公開日　平成８年(1996)10月11日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ０６Ｆ　15/163			Ｇ０６Ｆ　15/16	３１０Ｖ	
9/46	３６０		9/46	３６０Ｅ	
13/16	５２０		13/16	５２０Ｃ	

審査請求　有　　請求項の数５　ＯＬ　（全８頁）

(21)出願番号　特願平7－62820

(22)出願日　平成７年(1995)３月22日

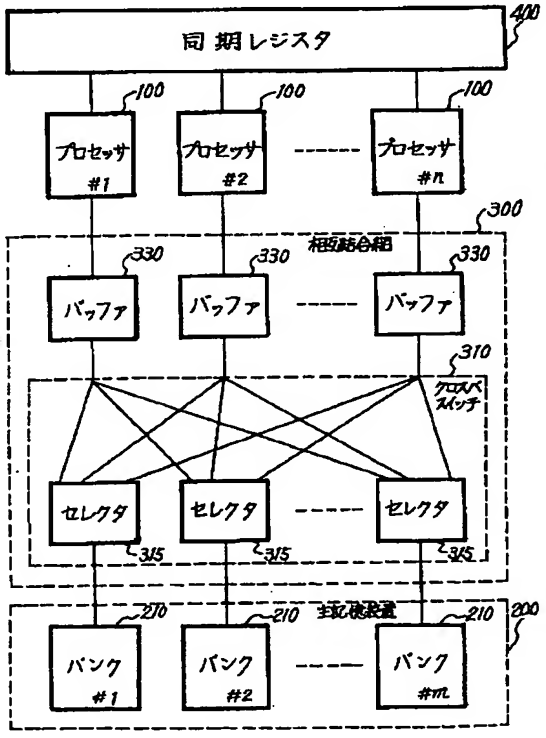
(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号

(72)発明者　安藤　憲行
東京都港区芝五丁目７番１号　日本電気株式会社内

(74)代理人　弁理士　京本　直樹　（外２名）

(54)【発明の名称】　マルチプロセッサシステム

(57)【要約】
【目的】マルチプロセッサシステムにおいて、信号線数を増加させることなく、あるプロセッサから送出されたリクエストが、その送出先において残留していないことを確認する。
【構成】相互結合網３００を介して複数のプロセッサ１００と主記憶装置２００とが接続される。プロセッサ１００は同期レジスタ４００を介して他のプロセッサが主記憶装置２００にデータをライトしたことを知る。相互結合網３００は各プロセッサに対応してバッファ３３０を有する。各プロセッサ１００はバッファ３３０の内容を包含する疑似バッファ１１０を備える。



1

【特許請求の範囲】

【請求項１】　複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、

前記複数のプロセッサの各々は、当該プロセッサから送出したリクエストが前記相互結合網に滞留していないことを確認する機能を有することを特徴とするマルチプロセッサシステム。

【請求項２】　複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、

前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持するバッファを含み、

前記複数のプロセッサの各々は、前記相互結合網内の対応するバッファの内容を包含するように保持する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

【請求項３】　複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムにおいて、

前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のバッファと、このバッファに保持されているリクエストが送出できない状態であることを前記対応するプロセッサに通知するホールド通知手段とを含み、

前記複数のプロセッサの各々は、前記ホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

【請求項４】　ｎ個（ｎは２以上の整数）のプロセッサと、ｍ個（ｍは２以上の整数）のバンクから成る主記憶装置と、前記プロセッサと前記主記憶装置を接続するｎ対ｍの相互結合網とを含むマルチプロセッサシステムにおいて、

前記相互結合網は、前記プロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のｎ個のバッファと、これらバッファの出力を前記主記憶のバンクに接続するクロスバと、前記バッファに保持されているリクエストが前記クロスバに送出できない状態であることを前記対応するプロセッサに通知するｎ個のホールド通知手段とを含み、

前記プロセッサの各々は、前記対応するホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含むことを特徴とするマルチプロセッサシステム。

2

【請求項５】　前記クロスバは、前記バンクに対応するｍ個のセレクタを含むことを特徴とする請求項４のマルチプロセッサシステム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、マルチプロセッサシステムに関し、特に複数のプロセッサと主記憶装置とこれらを結合する相互結合網とを有するマルチプロセッサシステムに関する。

【０００２】

【従来の技術】マルチプロセッサシステムにおいて、相互結合網の構成がその性能に与える影響は多大なものがある。相互結合網は、複数のプロセッサより送出された主記憶装置へのアクセス（以下、メモリアクセスという）であって、主記憶装置の同一メモリポートへアクセスする複数のメモリアクセスについて、競合調停を行いながらルーティングする。ここで、主記憶装置は複数のメモリバンクを有するものとし、また、相互結合網は演算プロセッサ台数分の入力ポートと主記憶装置のバンク数分の出力ポートを有するものとする。

【０００３】相互結合網がシステム性能に与える性能インパクトの最大要因はネットワークスループットとネットワークディレーの２つの要因がある。ネットワークスループットは単位時間あたりに相互結合網を通過可能なメモリリクエストの総数であり、ネットワークディレーはメモリリクエストがネットワークを通過するのに要する時間である。これらは、メモリアクセス衝突が全く無い場合の最大値と、メモリアクセス衝突が有る場合の実効値とを分けて算出する必要がある。

【０００４】ネットワークスループットとディレーとを向上させる最大の方策として、バンド幅を広げる方法がある。ここで、バンド幅とは単位時間あたりに通過可能なメモリリクエストのサイズの総量をいう。例えばメモリアクセスが８バイトのデータ幅であった場合に、相互結合網の１サイクルタイムあたりのバンド幅が４バイト幅であるならば、このリクエストの通過には２サイクルタイム要するが、８バイト幅であるならば１サイクルタイムで十分である。

【０００５】しかし、性能向上のためにバンド幅を単純に広げようとしても、実装条件との制限を受けてしまう。例えば、１６プロセッサで８バイト幅のネットワークを構成するためには、ネットワークポート数は入力１６ポート、出力１６ポートが必要となるので、合計６４ビット×１６ポート×２＝２０４８信号が必要となる。ここで、主記憶装置に接続する出力ポート側も入力のスループットに合わせるために１６ポート構成になってい

るものとする。このような大量の入出力信号を１つのチップに搭載することは、実装上困難である。

【０００６】かかる実装上の問題を解決する手段として、ビットスライス式にＬＳＩを分割する方法がある。これは例えばデータ幅が８バイトであったならば、１バイトづつのデータを８ＬＳＩチップに分割し、１チップあたりのデータ幅を１バイトにする方法である。上述の例では、１チップあたりのピン数は８ビット×１６ポート×２＝２５６ピンとなって、実装上の条件がかなり緩和される。

【０００７】このように、ビットスライスによるＬＳＩ分割を行うことにより、ルーティングされるデータ信号については、ある程度実装上の問題を解決できる。しかし、コントロール信号については、このような方法では実装上の問題を解決できない。ここで、コントロール信号とは、ネットワークの動作処理を規定する制御信号であり各プロセッサ、もしくは主記憶装置より送受する信号である。例えば、各メモリリクエストの行き先出力ポート番号を指定するルーティングアドレスや、ネットワークからのリクエスト送出停止を要求するホールド信号がこれに相当する。これらコントロール信号はビットスライスによるＬＳＩ分割を行っても、各ＬＳＩチップにこのコントロール信号のインターフェースピンを設ける必要があるため、信号線数を削減することができない。

【０００８】一方、マルチプロセッサシステムにおいては、主記憶装置を複数のバンクに物理的に分割し、これらを独立に動作させることが多い。この場合、相互結合網は各ポート毎に独立に動作することになる。そこで、リクエスト間の緩衝を吸収するため、各ポートにバッファを設けることが一般的である。このように構成することにより、各バンクや各ポート間で完全に同期させて動作する構成と比較して、より高いスループット、より短いアクセスタイムが実現できる。

【０００９】ところが、この構成では以下のような問題がある。あるプロセッサＡがデータＤのライトリクエストを発行して、引き続いてフラグＦを同期レジスタにセットすることによってデータＤをライトした旨を他のプロセッサに伝える。そこで、プロセッサＢが同期レジスタのフラグＦをチェックすることにより、データＤのライトを知り、データＤのリードリクエストを発行する。このとき、偶発的にプロセッサＡからメモリへのパスが塞がっていたとすると、プロセッサＡからのライトリクエストをプロセッサＢからのリードリクエストが追い越してしまうおそれがある。この追い越しにより、プロセッサＢの読み出したデータはデータＤであることを保証できなくなる。

【００１０】そこで、かかる場合には、以下に示すシンク（ＳＹＮＣ）動作によりシンクの確認を行うことが、複数プロセッサ間の正確なデータの受渡しを実現するために効果的である。すなわち、相互結合網や主記憶装置

に対してそのプロセッサが発行したリクエストの残留状態を確認するシンクリクエストを発行する。相互結合網および主記憶装置は、そのシンクリクエストを受け取ると、そのリクエストを発行したプロセッサからの残留リクエストがなくなるのを確認し、残留リクエストが全てメモリアクセス処理を完了した時点でその旨のリプライを返す。これにより、残留リクエストが全てなくなったことを確認した上で同期レジスタにフラグをセットすれば、上述のような問題を防止することができる。

【００１１】

【発明が解決しようとする課題】しかしながら、このようなシンク動作の完了を通知するためには、リプライ用の信号線が別途必要となる。上述したように、相互結合網においては、制御信号に係る信号線を増やすことは実装上困難であり、シンクリクエストの導入の障害となる。そこで、相互結合網のバッファの状態を簡易に調べることができることが望ましい。

【００１２】本発明の目的は、マルチプロセッサシステムにおいて、あるプロセッサから発行されたリクエストが、その発行先において残留していないことを確認することにある。

【００１３】また、本発明の目的は、信号線数を増加させることなく、上記残留リクエストの確認を実現することにある。

【００１４】

【課題を解決するための手段】上記課題を解決するために本発明のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記複数のプロセッサの各々は、当該プロセッサから送出したリクエストが前記相互結合網に滞留していないことを確認する機能を有する。

【００１５】また、本発明の他のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持するバッファを含み、前記複数のプロセッサの各々は、前記相互結合網内の対応するバッファの内容を包含するように保持する疑似バッファを含む。

【００１６】また、本発明の他のマルチプロセッサシステムは、複数のプロセッサと、主記憶装置と、前記複数のプロセッサと前記主記憶装置を接続する相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記複数のプロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のバッファと、このバッファに保持

されているリクエストが送出できない状態であることを前記対応するプロセッサに通知するホールド通知手段とを含み、前記複数のプロセッサの各々は、前記ホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含む。

【００１７】また、本発明の他のマルチプロセッサシステムは、ｎ個（ｎは２以上の整数）のプロセッサと、ｍ個（ｍは２以上の整数）のバンクから成る主記憶装置と、前記プロセッサと前記主記憶装置を接続するｎ対ｍの相互結合網とを含むマルチプロセッサシステムであって、前記相互結合網は、前記プロセッサの各々から受け取ったリクエストであって前記主記憶装置に受け入れられていないリクエストを当該プロセッサに対応して保持する複数段の先入れ先出し式のｎ個のバッファと、これらバッファの出力を前記主記憶のバンクに接続するクロスバと、前記バッファに保持されているリクエストが前記クロスバに送出できない状態であることを前記対応するプロセッサに通知するｎ個のホールド通知手段とを含み、前記プロセッサの各々は、前記対応するホールド通知手段からリクエストが送出できない状態である旨を通知されない限り、前記相互結合網に対して送出したリクエストのコピーを保持していく前記相互結合網内の対応するバッファと同一の段数を有する疑似バッファを含む。

【００１８】また、本発明の他のマルチプロセッサシステムにおいて、前記クロスバは、前記バンクに対応するｍ個のセレクタを含む。

【００１９】

【実施例】次に本発明のマルチプロセッサシステムの一実施例について図面を参照して詳細に説明する。

【００２０】図１を参照すると、本発明の一実施例であるマルチプロセッサシステムは、複数のプロセッサ１００と、主記憶装置２００と、これらプロセッサ１００と主記憶装置２００を結合する相互結合網３００とを有している。

【００２１】主記憶装置２００は、複数のバンク２１０に分割されており、各々独立にアクセスすることが可能である。プロセッサ１００の各々は、相互結合網３００に対して１つのアクセスポートを有する。また、主記憶装置２００のバンク２１０の各々も、相互結合網３００に対して１つのアクセスポートを持つ。

【００２２】相互結合網３００は、各プロセッサ１００に対応してｎ個の入力ポートを有し、各入力ポートには各プロセッサ１００からのリクエストを保持するためのバッファ３３０が接続される。このバッファ３３０の出力はｎ入力ｍ出力のクロスバスイッチ３１０に入力されてｍ個の出力ポートを通じて主記憶装置２００の各バンク１２１～１２ｍに接続する。各プロセッサ１００のポートと相互結合網３００の入力ポートとの間にはパスが張られ、各バンク２１０のポートと相互結合網３００の出力ポートとの間にはそれぞれパスが張られている。これらパス上には、メモリアクセスリクエストが流れる。

【００２３】クロスバスイッチ３１０は、ｎ入力１出力のセレクタ３１５をｍ個有しており、いずれの入力ポートからも任意の出力ポートに接続できるように構成されている。

【００２４】各プロセッサ１００が主記憶装置２００にアクセスする場合、メモリアクセスリクエストを構成し、相互結合網３００に送出する。相互結合網３００は、複数のプロセッサ１００から送られてくる複数のメモリアクセスリクエスト間に生じる競合を調停し、各リクエストの行先に応じてバンク２１０に対するルーティングを行い、メモリアクセスリクエストを送出する。主記憶装置２００の各バンク２１０に到着したメモリアクセスリクエストは、各バンクにおいてリードアクセスまたはライトアクセスを実行する。リードアクセスの場合は、再び相互結合網３００を介してリクエスト発行元のプロセッサにリードデータが返却される。

【００２５】図２を参照すると、あるプロセッサ１００と相互結合網３００を結ぶパスは、データ５０１、バリッド５０２、ルーティングアドレス５０３、およびホールド５０４の４つから構成される。但し、図２においては、１つのプロセッサ１００のポートと１つの相互結合網３００の入力ポートとを結ぶ１本のパスの構成要素のみを示している。同様に相互結合網３００と主記憶装置２００を結ぶパスはデータ６０１、バリッド６０２、およびホールド６０３の３つから構成される。これについても同様に、相互結合網３００の１つの出力ポートと主記憶装置２００の１つのバンクとを結ぶ１本のパスの構成要素のみを示している。

【００２６】データ５０１は、プロセッサ１００から主記憶装置２００にルーティングされるデータ領域であり、リクエストがライトアクセスの場合にはライトを行う主記憶アドレスとライトデータより構成され、リードアクセスの場合にはリードを行うメモリアドレスより構成される。バリッド５０２は、当該データが有効か否かを示すバリッド信号である。ルーティングアドレス５０３は、リクエストの行先であるメモリバンク番号を示す。ホールド信号５０４は、データ５０１等とは逆向きに相互結合網３００からプロセッサ１００に向かう信号であり、相互結合網３００の入力ポートのバッファがフルになった場合に、プロセッサ１００に対しリクエスト送出停止を要求する信号である。

【００２７】図３を参照すると、相互結合網３００の構成が示される。相互結合網３００は、＃１から＃ｎまでのｎ個の入力ポートと、＃１から＃ｍまでのｍ個の出力ポートとを有する。各入力ポートは、各々１つのプロセ

ッサとの間を１本のパスにより接続する。この入力ポートに入出力する信号は、データ５０１、バリッド５０２、アドレス５０３、およびホールド５０４である。各出力ポートは、主記憶装置の１つのバンク２１０との間を１本のパスにより接続する。この出力ポートに入出力する信号は、データ６０１、バリッド６０２、アドレス６０３、およびホールド６０４である。リクエストのルーティングを行うのはクロスバースイッチ３１０であり、このクロスバースイッチ３１０を制御するのはクロスバースイッチ制御回路３２０である。

【００２８】各入力ポートには、クロスバースイッチ制御回路３２０によるリクエストの競合調停によって留保されたリクエストを一時的に保持するバッファ３３０が設けられる。これらバッファに保持されているリクエストを滞留リクエストという。これらバッファを制御するのはバッファ制御回路３４０である。バッファ制御回路３４０は、入力ポートのバリッド信号５０２およびホールド信号５０４に基づいて制御する。また、バッファ３３０からクロスバースイッチ３１０に対して競合調停要求等を伝達するために、バッファ制御回路３４０とクロスバースイッチ制御回路３２０との間にもインターフェース信号が張られる。

【００２９】図４を参照すると、プロセッサ１００内の相互結合網３００に対するインターフェース部分が示される。プロセッサ１００は、１つの出力ポートを持ち、１本のパスを介して相互結合網３００に接続する。出力ポートに入出力する信号は、データ５０１、バリッド５０２、アドレス５０３、およびホールド５０４である。

【００３０】このインターフェース部分は、疑似バッファ１１０とそれを制御する疑似バッファ制御回路１２０とを含んでいる。疑似バッファ制御回路１２０は、相互結合網３００からのホールド５０４とプロセッサからのバリッド信号を入力し、相互結合網３００へのバリッド５０２とアドレス５０３、およびプロセッサへのホールド信号を出力する。

【００３１】疑似バッファ１１０は、バッファ３３０と同じバッファ段数を有し、バッファ３３０と同様に一時的にリクエストをホールドするホールド機能を有している。プロセッサ１００からのリクエストを格納する疑似バッファ１１０の先頭のバッファ段を先頭段１１１といい、最右端のバッファ段１１９を最終段という。疑似バッファ１１０の各段は、両隣のバッファ段と接続されており、各リクエストは図４において左から右に常に移動していく。

【００３２】疑似バッファ１１０の制御は以下のように行われる。プロセッサ１００が相互結合網３００にリクエストを送出すると、当該リクエストと同じ内容を疑似バッファ１１０の先頭段１１１に入れる。以下、このようにして疑似バッファ１１０に保持されたリクエストをリクエストコピーという。バッファ３３０と疑似バッファ１１０は、共に先入れ先出し（以下、ＦＩＦＯ（Ｆｉｒｓｔ－Ｉｎ　Ｆｉｒｓｔ－ｏｕｔ）という）式にリクエストの出し入れを行う。リクエストをバッファ３３０に入力する場合には、バッファ３３０は最終取り出し段に対し常に詰めた状態でリクエストを格納し、疑似バッファ１１０は常に先頭段１１１に対してリクエストを格納する。

【００３３】あるプロセッサに対して相互結合網３００から送られて来るホールド信号の値が”ホールド”を示していれば、当該プロセッサから相互結合網３００へのリクエストの送出を停止すると共に、その疑似バッファ１１０もホールドする。

【００３４】相互結合網３００から送られて来るホールド信号の値が”ホールド”でなければ、当該プロセッサは、相互結合網３００へリクエストを送出するとともに、そのリクエストのコピーを疑似バッファ１１０の先頭段１１１に格納する。また、疑似バッファ１１０内にあるリクエストコピーを先頭段１１１から最終段１１９に向けて１段移動させる。この時、最終段１１９にあるリクエストコピーは廃棄される。

【００３５】次に本発明の上記一実施例の動作について図面を参照して説明する。ここでは、バッファ３３０と疑似バッファ１１０の段数をともに3段であるとする。

【００３６】図１、図４および図５を参照すると、時刻Ｔ１においてプロセッサ１００がリクエストＡを発行すると、リクエストＡは相互結合網３００のバッファ３３０に保持されるとともに、そのコピーが疑似バッファの先頭段１１１に保持される。また、時刻Ｔ２においてプロセッサ１００がリクエストＢを発行すると、リクエストＢは相互結合網３００のバッファ３３０に保持されるとともに、そのコピーが疑似バッファの先頭段１１１に保持される。さらに、時刻Ｔ３においてプロセッサ１００がリクエストＣを発行すると、リクエストＣは相互結合網３００のバッファ３３０に保持されるとともに、そのコピーが疑似バッファの先頭段１１１に保持される。

【００３７】一方、クロスバスイッチ３１０では、時刻Ｔ３にリクエストＡを受け付けるが、時刻Ｔ４およびＴ５においてリクエストＢの行先バンクが使用中である等の理由でリクエストＢを受け付けられないため、ホールド信号５０４を”ホールド”にして、その旨をプロセッサ１００に伝える。これにより、疑似バッファ制御回路１２０は時刻Ｔ５およびＴ６においてホールド１９０を介して疑似バッファ１１０に”ホールド”中である旨を伝える。したがって、疑似バッファ１１０はＴ５からＴ６に遷移する際、およびＴ６からＴ７に遷移する際には、その内容を維持する。

【００３８】時刻Ｔ６においてリクエストＢが受け付けられ、ホールド５０４が解除されるため、時刻Ｔ７にホールド１９０が解除されて、時刻Ｔ８にリクエストＥがバッファ３３０に保持されるとともに、そのコピーが疑

似バッファの先頭段１１１に保持される。

【００３９】上記の例を考察すると、疑似バッファ１１０の最終段１１９からあるリクエストが押し出されて破棄された時刻の２Ｔ前に、クロスバスイッチ３１０においてそのリクエストが受け付けられていることがわかる。また、バッファ３３０にリクエストが保持されると同時に疑似バッファ１１０にも当該リクエストが保持されることがわかる。すなわち、疑似バッファ１１０に保持されている内容はバッファ３３０を包含していることになる。

【００４０】したがって、バッファ３３０に滞留しているリクエストのコピーは全て疑似バッファ１１０に保持されており、この疑似バッファ１１０から破棄されているリクエストは主記憶装置２００に発行済みであることが確認できる。これを利用することにより、あるデータＤに関するライトリクエストを送出した後、疑似バッファ１１０から当該リクエストが破棄されたことを確認してから、同期レジスタ４００にフラグＦをセットすることにより、他のプロセッサはフラグＦを確認後すぐにデータＤのリードリクエストを送出してもその内容が保証される。

【００４１】このように、本発明の一実施例であるマルチプロセッサシステムによれば、相互結合網３００内のバッファ３３０の内容を包含する疑似バッファ１１０をプロセッサ１００内に設けたことにより、バッファ３３０に滞留しているリクエストを容易に把握することができ、従来必要とされたリプライ信号線を省くことができる。

【００４２】なお、この疑似バッファ１１０は、上述のようなタイミング制御のみならず、バッファ３３０の内容を知るために広く使用することができる。例えば、マルチプロセッサシステムにおける性能評価を行うために、バッファ３３０の滞留状態をトレースしようとした場合、通常であれば相互結合網３００に対してプローブを立てたり、リプライ信号をプロセッサに戻したりする必要があるが、本発明における疑似バッファ１１０を使用することによりバッファ３３０の内容を容易にトレースすることができる。

【００４３】

【発明の効果】以上の説明で明らかなように、本発明によると、プロセッサと相互結合網間のインターフェース本数を増やさずに相互結合網内のバッファの状態を容易に知ることができる。複数のプロセッサが接続されるマルチプロセッサシステムにおいて、プロセッサ数に比例したインターフェースの増加は、コスト増、実装ネック等の大きな問題となっており、本発明によりこれを低減可能とすることができる。特に、本発明によれば、プロセッサのインターフェース部、および 相互結合網を構成するＬＳＩチップのピンネックを解消することができ、ビットスライス分割では削減できないコントロール信号を削減することが可能となり、ピンネックの解消に大きく貢献することができる。

【図面の簡単な説明】

【図１】本発明のマルチプロセッサシステムの一実施例の構成を示すブロック図である。

【図２】本発明の一実施例のマルチプロセッサシステムにおけるインタフェースを示す図である。

【図３】本発明の一実施例における相互結合網の構成を示す図である。

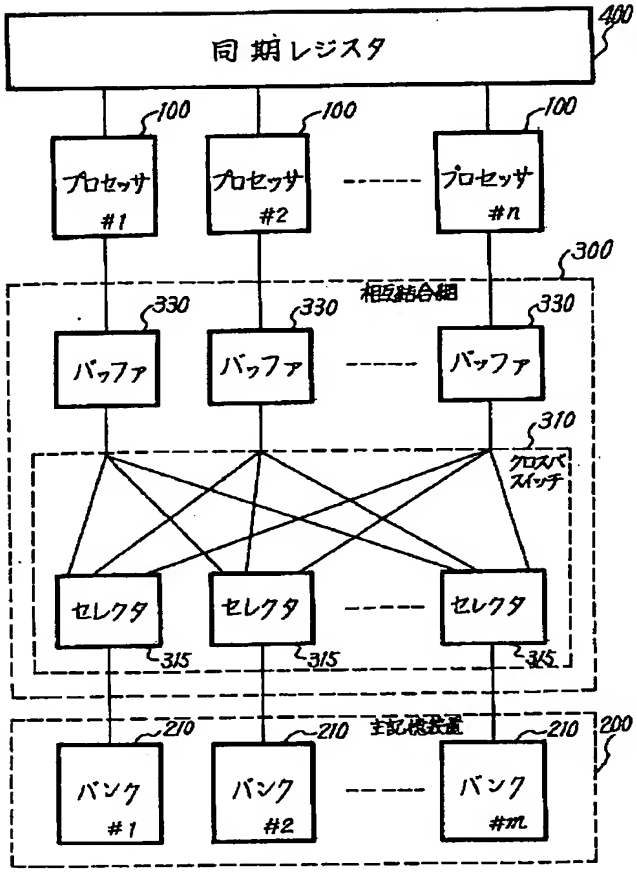
【図４】本発明の一実施例におけるプロセッサ内の相互結合網に対するインタフェース部分を示す図である。

【図５】本発明の一実施例のマルチプロセッサシステムの動作を表す図である。

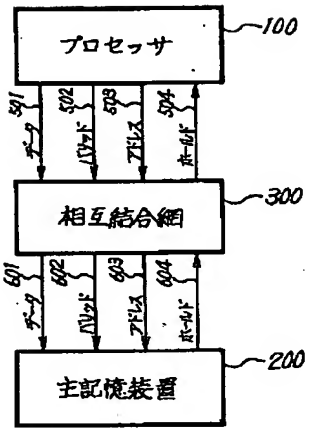
【符号の説明】

１００	プロセッサ
１１０	疑似バッファ
１２０	疑似バッファ制御回路
２００	主記憶装置
２１０	バンク
３００	相互結合網
３１０	クロスバスイッチ
３１５	セレクタ
３２０	クロスバスイッチ制御回路
３３０	バッファ
３４０	バッファ制御回路
４００	同期レジスタ

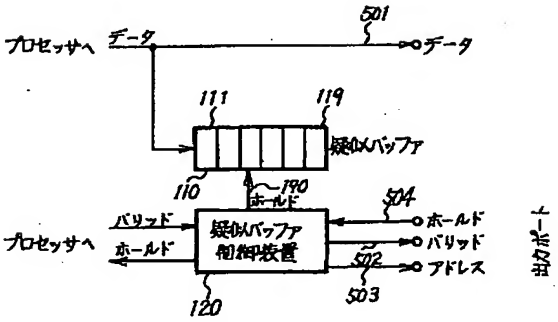
【図1】


同期レジスタ
400
プロセッサ #1
プロセッサ #2
プロセッサ #n
100
相互結合網
300
バッファ
330
クロスバスイッチ
310
セレクタ
315
主記憶装置
200
バンク #1
バンク #2
バンク #m
210

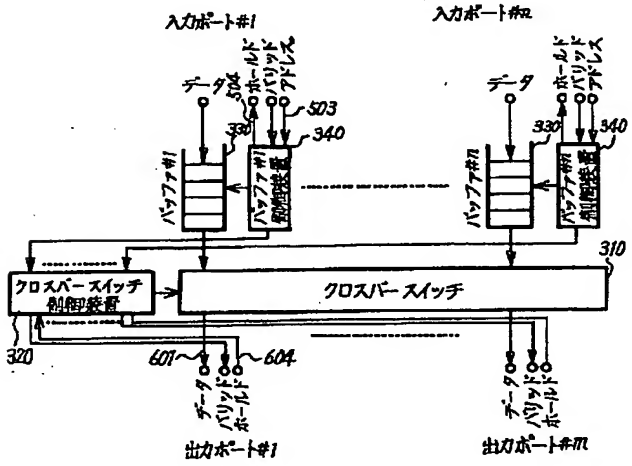
【図2】


プロセッサ
100
データ
バリッド
アドレス
ホールド
501
502
503
504
相互結合網
300
601
602
603
604
主記憶装置
200

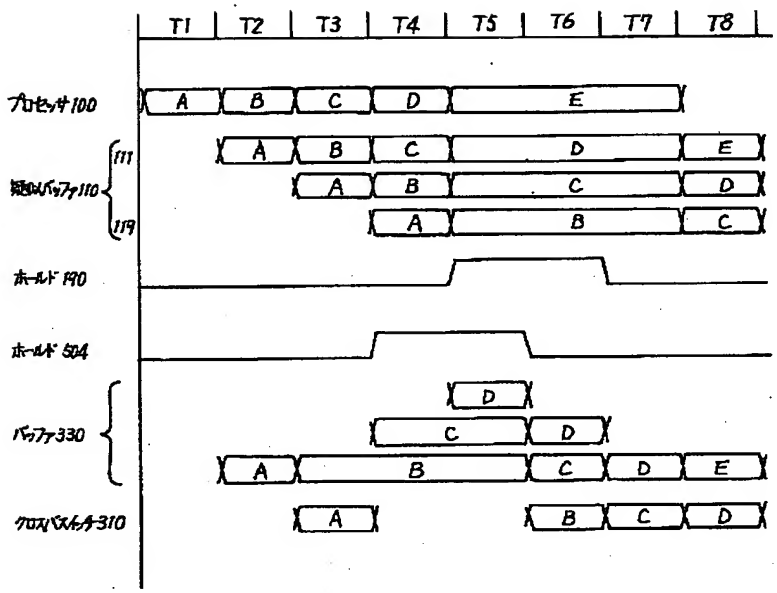
【図4】


プロセッサへ
データ
501
111
119
疑似バッファ
110
190
ホールド
504
バリッド
ホールド
疑似バッファ制御装置
502
アドレス
503
120
出力ポート

【図3】


入力ポート#1
入力ポート#n
データ
ホールド
バリッド
アドレス
504
503
330
340
バッファ#1
バッファ#n
制御装置
310
クロスバースイッチ
クロスバースイッチ制御装置
320
601
604
出力ポート#1
出力ポート#m

【図５】


T1
T2
T3
T4
T5
T6
T7
T8
プロセッサ100
A
B
C
D
E
111
119
ホールド190
ホールド504
バッファ330
クロスバスイッチ310